

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

Rec'd PCT/PTO 13 JAN 2005

(43) 国際公開日  
2004 年 2 月 12 日 (12.02.2004)

PCT

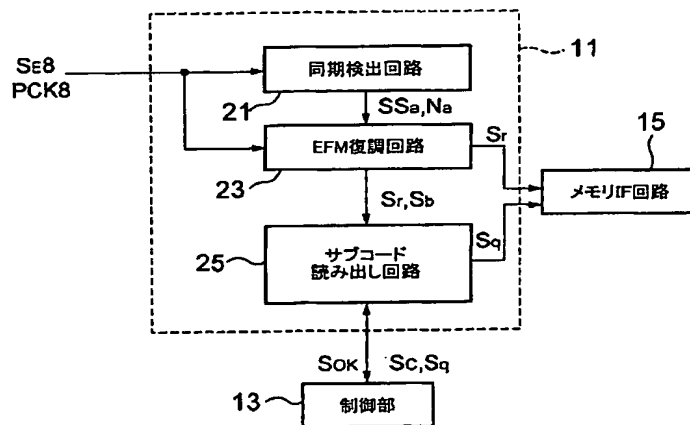
(10) 国際公開番号  
WO 2004/013852 A1

- (51) 国際特許分類: G11B 20/10, 20/14 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2003/009924 (75) 発明者/出願人 (米国についてのみ): 加野 靖紀  
(22) 国際出願日: 2003 年 8 月 5 日 (05.08.2003) (KANO, Yasunori) [JP/JP]; 〒240-0005 神奈川県 横浜市 保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内 Kanagawa (JP).  
(25) 国際出願の言語: 日本語 (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都 港区 虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2002-229158 2002 年 8 月 6 日 (06.08.2002) JP (81) 指定国 (国内): CN, KR, US.  
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都 品川区 北品川6丁目7番35号 Tokyo (JP). (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

[続葉有]

(54) Title: DISK REPRODUCTION DEVICE AND DISK REPRODUCTION METHOD

(54) 発明の名称: ディスク再生装置とディスク再生方法



21...SYNCHRONIZATION DETECTION CIRCUIT  
23...EFM DEMODULATION CIRCUIT  
15...MEMORY IF CIRCUIT  
25...SUB-CODE READ CIRCUIT  
13...CONTROL UNIT

(57) Abstract: A disk reproduction device having a demodulation circuit with a reduced operating frequency and a disk reproduction method. The disk reproduction device, which reads data from a disk to generate reproduction data, is characterized by comprising a synchronization detection circuit (21) that detects a predetermined synchronous pattern included in data and, at the same timing, identifies a detection time; and an EFM demodulation circuit (23) that selectively extracts part of data sequentially from data read from the disk at the identified detection timings and combines multiple pieces of extracted data to replace corresponding demodulated data.

(57) 要約: 復調回路の動作周波数が低減されたディスク再生装置及びディスク再生方法である。ディスクに記録されたデータを読み出して再生データを生成するディスク再生装置であって、データに含まれる所定の同期パターンを検出すると共に検出タイミング

[続葉有]



添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

を識別する同期検出回路(21)と、識別された検出タイミングに応じて、ディスクから読み出されたデータの中から順次選択的に一部のデータを抽出し、抽出された複数のデータを合成して対応する復調データに置換するE FM復調回路(23)とを備えたことを特徴とするディスク再生装置を提供する。

## 明細書

## ディスク再生装置とディスク再生方法

## 5 技術分野

本発明は、ディスクに記録されたデータを再生するディスク再生装置とディスク再生方法に関するものである。

## 背景技術

- 10 一般的に、ディスク再生時には、ディスクからの反射光を検出するピックアップによって該ディスクに記録されたデータが読み出される。そして、ピックアップにより読み出されたデータは、PLL (Phase - Locked Loop) 回路により該データに同期されたクロック信号 (以下、「チャンネルクロック」とも呼ぶ) によって再生装置に取り込まれる。
- 15 ここで、取り込まれた該データはEFM (Eight-Fourteen Modulation) 変調が施されたシリアルデータであるため、該再生装置においては該データがEFM復調回路により復調される。このとき、従来の再生装置では、上記シリアルデータに同期したチャンネルクロックにより、該EFM復調回路の動作周波数が決められていた。
- 20 従って、ディスクを高倍速再生する場合などにおいては、高い周波数を持ったチャンネルクロックを用いることによって、該動作周波数を高めることが必要とされる。

- しかしながら、上記動作周波数が高くなると、EFM復調回路以外の回路に生じるノイズが大きくなると共に、該ディスク再生装置の消費電力も大きくなるという問題がある。
- 25

また、高い該動作周波数を保証することが必要とされる該ディスク再生装置に対しては、高い周波数を持ったクロック信号による動作試験が必要とされるが、テストによる該動作試験は困難であるという問題もある。

- 5      本発明は上記のような問題を解消するためになされたもので、復調動作をより低い動作周波数において実現し得るディスク再生装置及びディスク再生方法を提供することを目的とする。

#### 発明の開示

- 10      本発明の目的は、ディスクに記録されたデータを読み出して再生データを生成するディスク再生装置であって、データに含まれる所定の同期パターンを検出すると共に、検出タイミングを識別する検出手段と、検出手段により識別された検出タイミングに応じて、ディスクから読み出されたデータの中から順次選択的に一部のデータを抽出する選択手段と、
- 15      選択手段により抽出された複数のデータを合成して合成データを生成する合成手段と、合成データに対応する復調データに置換することにより再生データを生成する置換手段とを備えたことを特徴とするディスク再生装置を提供することにより達成される。

- 20      このような手段によれば、選択手段が同期パターンの検出タイミングに応じて、ディスクから読み出されたデータの中から順次選択的に一部のデータを抽出し、合成手段が該抽出された複数のデータを合成し、置換手段が該合成データを復調データに置換することによって、該復調が該合成データを単位として一括して実行されるため、該復調において必要とされる動作周波数を低減することができる。

- 25      ここで、より具体的には、検出手段は連続する複数のサイクルにおいて読み出されたデータの配列から同期パターンを検出すると共に、該配

列に含まれる同期パターンの位置に応じて検出タイミングを識別し、選択手段は検出タイミングに応じた初期値より内部クロック信号のクロック数をカウントする計数手段を含み、計数手段におけるカウント値に応じて、ディスクから読み出されたデータの中から順次選択的に一部のデータ

5     データを抽出するものとすることができる。

さらに、合成手段は第1及び第2のデータ保持手段を含み、カウント値が偶数のとき第1及び第2のデータ保持手段はそれぞれ選択手段により抽出されたデータを保持し、カウント値が奇数のとき第2のデータ保持手段に保持されているデータを第1のデータ保持手段へ移すことによ

10    り、合成データを生成するものとすることができる。

また、本発明の目的は、ディスクに記録されたデータを読み出して再生データを生成するディスク再生方法であって、データに含まれる所定の同期パターンを検出すると共に、検出タイミングを識別する検出ステップと、識別された検出タイミングに応じて、ディスクから読み出されたデータの中から順次選択的に一部のデータを抽出する選択ステップと、選択ステップにおいて抽出された複数のデータを合成して合成データを生成する合成ステップと、合成データを対応する復調データに置換することにより再生データを生成する置換ステップとを有することを特徴とするディスク再生方法を提供することにより達成される。

15    このような手段によれば、ディスクに記録されたデータについて、上記合成データを単位として一括して復調することができるため、該復調において必要とされる動作周波数を低減することができる。

ここで、より具体的には、上記検出ステップでは、連続する複数のサイクルにおいて読み出されたデータの配列から同期パターンを検出すると共に、配列に含まれる同期パターンの位置に応じて検出タイミングを識別し、上記選択ステップでは、検出タイミングに応じた初期値より内

25    データを抽出するものとする。

- 部クロック信号のクロック数をカウントすることにより得られるカウント値に応じて、ディスクから読み出されたデータの中から順次選択的に一部のデータを抽出し、上記合成ステップでは、カウント値が偶数のとき第1及び第2のデータ保持手段にそれぞれ選択ステップにおいて抽出されたデータを保持させ、カウント値が奇数のとき第2のデータ保持手段に保持されているデータを第1のデータ保持手段へ移すことにより、合成データを生成するようにすることができる。

#### 図面の簡単な説明

- 10 第1図は、本発明の実施の形態に係るディスク再生装置の構成を示すブロック図である。
- 第2図は、第1図に示されたEFM復調部の構成を示すブロック図である。
- 第3図は、第2図に示された同期検出回路の構成を示すブロック図である。
- 15 第4図は、第3図に示された同期検出回路の動作を説明する状態遷移図である。
- 第5図は、第2図に示されたEFM復調回路の構成を示すブロック図である。
- 20 第6図は、第1図に示されたディスクに記録されたフレームデータの構成を示す図である。
- 第7図は、第4図に示されたEFM復調回路の動作を説明する図である。

- 25 発明を実施するための最良の形態

以下において、本発明の実施の形態を図面を参照しつつ詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

第1図は、本発明の実施の形態に係るディスク再生装置の構成を示すブロック図である。第1図に示されるように、本実施の形態に係るディスク再生装置3は装着されたディスク1に記録されたデータを再生する装置であって、アシンメトリ補正部5とPLL回路7、シリアル・パラレル変換回路（以後、シリ・パラ変換回路9と記載する。）、EFM（Eight-Fourteen Modulation）復調部11、制御部13、メモリIF回路15、及びメモリ17を備える。

ここで、アシンメトリ補正部5はディスク1から読み出された信号を受領し、PLL回路7及びシリ・パラ変換回路9はアシンメトリ補正部5に接続される。また、シリ・パラ変換回路9はPLL回路7にも接続され、EFM（Eight-Fourteen Modulation）復調部11はシリ・パラ変換回路9に接続される。そして、制御部13及びメモリIF回路15はEFM復調部11に接続され、メモリ17はメモリIF回路15に接続される。

このような構成を有するディスク再生装置3は、チャネルクロックを8分周したクロック信号PCK8を動作クロックとして、CD

（Compact Disc）等のディスク1から読み出されたデータをEFM復調するものであるが、以下に動作の概要を説明する。

アシンメトリ補正部5はディスク1から読み出された信号に対して直流成分をカットすることによってEFM変調されたデジタル信号 $S_E$ を生成し、PLL回路7及びシリ・パラ変換回路9へ供給する。PLL回路7は供給されたデジタル信号 $S_E$ に同期するチャネルクロックPCKを生成し、シリ・パラ変換回路9へ供給する。

また、シリ・パラ変換回路 9 は供給されたシリアルなデジタル信号  $S_E$  を EFM 変調された 8 ビットの平行信号  $S_{E8}$  へ変換すると共に、供給されたチャネルクロック PCK を 8 分周することによりクロック信号 PCK 8 を生成する。

- 5      ここで、上記平行信号  $S_{E8}$  は EFM 変調された原 EFM 信号を NRZ (Non Return to Zero) 変換した後のデータとされ、一例が表 1 に示される。

表 1

原 EFM 信号	<u>0</u> 1111 <u>0</u> 000 <u>0</u> 111 <u>0</u> 00 <u>0</u> 1111111 <u>1</u> 00
変換後	0 <u>1</u> 000 <u>1</u> 000 <u>1</u> 00 <u>1</u> 00 <u>1</u> 00000000 <u>1</u> 0

- 10      上記表 1 に示されるように、NRZ 変換後のデータは原 EFM 信号の変化点（下線部）に対応するビットのみが「1」（下線部）とされる。なお、このようにして得られた NRZ 変換後のデータは 8 ビットシフトレジスタの最上位ビットへ順次入力されると共に、所定のタイミングにおいて該データが上位ビットから下位ビットにシフトされ、8 ビット揃った時点で同時出力されることにより上記平行信号  $S_{E8}$  が生成出力される。

- 20      そして、EFM 復調部 11 はシリ・パラ変換回路 9 から供給されたクロック信号 PCK 8 を動作クロックとして、同じくシリ・パラ変換回路 9 から供給された平行信号  $S_{E8}$  を EFM 復調する。なお、この EFM 復調部 11 の構成及び動作については後に詳しく説明する。

また、EFM 復調部 11 において復調されたデータは、メモリ IF 回路 15 を介してエラー訂正用のメモリ 17 へ格納される。一方、EFM 復調部 11 は、後述するように該復調の過程でサブコード同期信号が検



出されたことを示すスコア信号  $S_c$ 、及びエラーチェック後に得られたサブQコード  $S_q$  を制御部 13 へ供給する。これより、制御部 13 は供給されるサブQコード  $S_q$  に基づいて、ディスク 1 に記録された絶対時間情報を得ることができる。

- 5      第2図は、第1図に示されたEFM復調部 11 の構成を示すブロック図である。第2図に示されるように、EFM復調部 11 は同期検出回路 21 とEFM復調回路 23、及びサブコード読み出し回路 25 とを含む。

ここで、同期検出回路 21 はシリ・パラ変換回路 9 に接続され、EFM復調回路 23 はシリ・パラ変換回路 9 及び同期検出回路 21 に接続される。また、サブコード読み出し回路 25 はEFM復調回路 23 に接続される。なお、メモリIF回路 15 はEFM復調回路 23 及びサブコード読み出し回路 25 に接続され、制御部 13 はサブコード読み出し回路 25 に接続される。

以下において、上記のような構成を有するEFM復調部 11 の動作の概要を説明する。まず、同期検出回路 21 は供給されたパラレル信号  $S_{E8}$  に含まれる同期パターンを検出する。そして、該同期パターンが検出された場合には、次に検出が予測される同期パターンを特定する。さらに、該予測された同期パターンと実際に検出された同期パターンとを比較し、一致するか否かを判定する。

20      なお、同期検出回路 21 は予期しないタイミングにおいて誤った同期パターンを検出しないようにするため、検出期間を所定のタイミングに限定するための同期保護ウィンドウを内部生成すると共に、上記所定のタイミングにおいて該同期パターンが検出できない場合には、自己生成した同期信号を利用することによって同期を維持する。

25      EFM復調回路 23 は、シリ・パラ変換回路 9 から供給されたパラレル信号  $S_{E8}$  をEFM復調する。なお、このようにして復調された信号

はメモリ I F 回路 1 5 へ供給されると共に、サブコード読み出し回路 2 5 へ供給される。

サブコード読み出し回路 2 5 は供給された復調後の信号に含まれるサブコードの中から同期信号を検出すると共に、該信号から後述するサブ  
5 Qコードを抜き出し、該サブQコードについてエラーの有無をチェックする。そして、サブコード読み出し回路 2 5 は該サブQコードを制御部 1 3 へ供給する。

以下において、第 2 図に示された E F M 復調部 1 1 を構成する各回路について詳しく説明する。第 3 図は、第 2 図に示された同期検出回路 2  
10 1 の構成を示すブロック図である。第 3 図に示されるように、同期検出回路 2 1 は同期パターン検出部 2 7 と同期パターン予測部 2 9、同期判断部 3 0、及び同期保護ウィンドウ部 3 5 を含む。そして、同期判断部 3 0 は同期カウンタ 3 1 と AND 回路 3 2、3 4 及び比較部 3 3 を含む。

ここで、同期パターン検出部 2 7 はシリ・パラ変換回路 9 に接続され、  
15 同期パターン予測部 2 9 は同期パターン検出部 2 7 に接続される。また、同期カウンタ 3 1 は同期パターン検出部 2 7 に接続され、AND 回路 3 2 は同期パターン検出部 2 7 及び同期カウンタ 3 1 に接続される。また、比較部 3 3 は同期パターン検出部 2 7 及び同期パターン予測部 2 9 に接続され、AND 回路 3 4 は AND 回路 3 2 と比較部 3 3 に接続される。  
20 そして、同期保護ウィンドウ部 3 5 は比較部 3 3 と AND 回路 3 4 と同期カウンタ 3 1 に接続される。

次に、上記のような構成を有する同期検出回路 2 1 の動作を詳しく説明する。

まず、同期パターン検出部 2 7 は供給されたパラレル信号  $S_E$  8 の中  
25 に含まれる同期パターンを検出するが、ここでは検出すべき同期パターン（フレーム同期信号）は NRZ 変換後のデータとして

(1000000000010000000001) であり、該同期パターンを 8 ビット単位で 4 サイクルかけて検出する場合を例として説明する。

このとき、4 サイクル目に上記同期パターンの検出が完結する場合としては、以下の表 2 に示されるように 8 通りが考えられる。

5 表 2

ケース 番号	1サイクル目 b8 b7 b6 b5 b4 b3 b2 b1	2サイクル目 b8 b7 b6 b5 b4 b3 b2 b1	3サイクル目 b8 b7 b6 b5 b4 b3 b2 b1	4サイクル目 b8 b7 b6 b5 b4 b3 b2 b1	Nsd
0	000001xx	00100000	00000000	xxxxxxx1	01h
1	00001xxx	01000000	00000000	xxxxxxx10	02h
2	0001xxxx	10000000	00000000	xxxxx100	04h
3	001xxxxx	00000000	00000001	xxxx1000	08h
4	01xxxxxx	00000000	00000010	xxx10000	10h
5	1xxxxxxx	00000000	00000100	xx100000	20h
6	xxxxxxx	00000001	00001000	x1000000	40h
7	xxxxxxxx	0000001x	00010000	10000000	80h

上記表 2 においては、検出されたデータが 1 サイクル目の最上位ビット b 1 から最下位ビット b 8、続けて 2 サイクル目の最上位ビット b 1 から最下位ビット b 8、3 サイクル目の最上位ビット b 1 から最下位ビット b 8、そして 4 サイクル目の最上位ビット b 1 から最下位ビット b 8 へ順次示される。

従って、例えば表 2 においてケース番号 0 は、1 サイクル目のビット b 3 から 4 サイクル目の最上位ビット b 1 にかけて上記同期パターンが検出される場合を示している。ここで同期パターン検出部 27 は、ケース番号 0 から 7 の 8 通りのいずれによって同期パターンが検出されたか

を識別することにより、同期パターンの検出タイミングを特定していることになる。

そして、同期パターン検出部 27 は、上記表 2 の 8 通りのいずれかにより該同期パターンを検出した場合には、クロック信号 PCK 8 の 1 周期期間においてハイレベルとなる検出信号 Ssb を生成すると共に、表 2 に示されたいずれのケースで該同期パターンが検出されたのかを示すケース識別信号  $N_{SD}$  を生成する。

ここで、例えばディスク 1 が CD であるとき、CD に記録されるデータの 1 フレームは 588 ビットからなるため、 $73.5 (= 588 / 8)$  サイクルで 1 フレームのデータが処理される。このように 1 フレームのデータを処理するために必要なサイクル数は自然数ではなく 0.5 サイクルの端数を有するため、表 2 に示される二つのケースが交互に繰り返されることにより同期パターンが検出される。

すなわち例えば、同期パターンが表 2 に示されたケース番号 2 のタイミングで検出された場合には、次フレームにおいてはケース番号 6 のタイミングで同期パターンが検出される。そして、以降のフレームにおいては、ケース番号 2 と 6 による同期パターンの検出が交互に繰り返される。

このように、同期パターンは規則性をもって検出されるため、一度同期パターンが検出された場合には、次のフレームにおいていずれのケースで同期パターンが検出されるかを予測することが可能である。ここで、同期パターン予測部 29 は同期パターン検出部 27 から供給されたケース識別信号  $N_{SD}$  に応じて、次のフレームでいずれのケースにより同期パターンが検出されるのかを予測し、予測されるケースを特定する検出予測信号  $N_{NS}$  を生成して比較部 33 へ供給する。

従って、比較部 33 は供給されたケース識別信号  $N_{SD}$  と検出予測信号  $N_{NS}$  が一致したとき、すなわち実際に同期パターン検出部 27 で同期パターンが検出されたケースと同期パターン予測部 29 で検出が予測されたケースとが一致したときに、活性化されたハイレベルの信号を A

5 ND 回路 34 へ供給する。

一方、同期カウンタ 31 は同期パターン検出部 27 が同期パターンを検出してから、次に同期パターンを検出するまでのサイクル数を計数する。このとき、同期カウンタ 31 は同期パターン検出部 27 から供給されるケース識別信号  $N_{SD}$  に応じて、以下の表 3 に示されたカウンタ値

10 を初期設定する。

表 3

$N_{SD}$	SN発生タイミング	カウンタ値
0 1 h	7 3 サイクル後	7 2
0 2 h	7 3 サイクル後	7 2
0 4 h	7 3 サイクル後	7 2
0 8 h	7 3 サイクル後	7 2
1 0 h	7 4 サイクル後	7 3
2 0 h	7 4 サイクル後	7 3
4 0 h	7 4 サイクル後	7 3
8 0 h	7 4 サイクル後	7 3

ここで、例えば同期カウンタ 31 が同期パターン検出部 27 からケース識別信号  $N_{SD}$  として「0 1 h」のデータを受領した場合には、7 3

15 サイクル後に次の同期パターンが検出されると予測し、表 3 に示されるようにカウンタ値を 7 2 に初期設定する。

そして、同期カウンタ 3 1 は供給される検出信号  $SS_b$  に応じて 1 サイクルの経過に対して 1 の割合で該カウンタ値をデクリメントし、該カウンタ値が 0 となった後の 7 3 サイクル目に予想される同期パターンの検出タイミングを示すタイミング予想信号  $SN$  を生成して AND 回路 3

5 2 へ供給する。

従って、AND 回路 3 2 は供給されるタイミング予想信号  $SN$  と検出信号  $SS_b$  が同時に活性化されたとき、すなわち同期カウンタ 3 1 により予想されたタイミングにおいて該同期パターンが検出されたときに、活性化されたハイレベルの信号を AND 回路 3 4 へ供給する。

10 以上より、同期判断部 3 0 は実際に同期パターン検出部 2 7 で同期パターンが検出されたケースと同期パターン予測部 2 9 で検出が予測されたケースとが一致し、かつ同期カウンタ 3 1 により予想されたタイミングにおいて該同期パターンが検出されたときに、同期パターンが正常に検出されているものとして AND 回路 3 4 から同期保護ウィンドウ部 3

15 5 へハイレベルの信号  $OK$  を供給する。

また、同期保護ウィンドウ部 3 5 は同期カウンタ 3 1 を利用して同期パターンの検出タイミングを制限する。ここで、実際には同期パターンは理想的なタイミングとずれたタイミングにおいて検出されることもあるため、該理想タイミングを中心としたある範囲内においてのみ検出可

20 能とされる。

具体的には、以下の表 4 に示されるように、同期保護ウィンドウ部 3 5 は比較部 3 3 から識別信号  $N$  として供給されるケース識別信号  $N_{SD}$  に応じてマスクデータ  $MD$  を生成し、同期パターン検出部 2 7 へフィードバックする。そして、同期パターン検出部 2 7 は表 2 に示された 4 サ

25 イクル目のパターンと該マスクデータ  $MD$  との間で論理積をとった上で、上記検出信号  $SS_b$  を生成する。

表 4

タイミング N	ウィンドウ オープン時	検出期間	ウィンドウ クローズ時	非検出期間
0 1 h	11110000	11111111	00000000	00000000
0 2 h	11100000	11111111	00000001	00000000
0 4 h	11000000	11111111	00000011	00000000
0 8 h	10000000	11111111	00000111	00000000
1 0 h	11111111	11111111	00001111	00000000
2 0 h	11111110	11111111	00011111	00000000
4 0 h	11111100	11111111	00111111	00000000
8 0 h	11111000	11111111	01111111	00000000

- すなわち例えば、表 4 に示されるように、同期保護ウィンドウ部 3 5 は比較部 3 3 から「0 1 h」のケース識別信号  $N_{SD}$  が供給されたとき、
- 5 検出開始タイミング（ウィンドウオープン時）にマスクデータ MD として「1 1 1 1 0 0 0 0」を同期パターン検出部 2 7 へ供給する。そして、同期保護ウィンドウ部 3 5 は同期パターン検出期間においては「1 1 1 1 1 1 1 1」を、マスクデータ MD として同期パターン検出部 2 7 へ供給する。このとき、同期パターン検出部 2 7 が理想的な同期パターンを
- 10 検出した場合にはケース識別信号  $N_{SD}$  が「1 0 h」とされるため、同期保護ウィンドウ部 3 5 は該ケース識別信号  $N_{SD}$  に応じて、検出終了タイミング（ウィンドウクローズ時）に「0 0 0 0 1 1 1 1」をマスクデータ MD として同期パターン検出部 2 7 へ供給する。なお、同期保護ウィンドウ部 3 5 において、上記検出開始タイミングと検出期間及び検
- 15 出終了タイミングは、同期カウンタ 3 1 から供給されるカウンタ値に応じて判断される。

また、上記表 4 に示されるように、比較部 33 から供給されるケース識別信号  $N_{SD}$  によらず同期パターンの非検出期間においては、同期保護ウィンドウ部 35 から「00000000」がマスクデータ MD として同期パターン検出部 27 へ供給される。

5      このように、同期保護ウィンドウ部 35 においてマスクデータ MD を生成し、該マスクデータ MD を利用することにより検出期間を制限することによって、正規のタイミング以外における同期パターンの検出を回避することができるため、正常な同期パターンの検出精度を高めることができる。

10      以上のような動作により、同期保護ウィンドウ部 35 は、識別信号  $N$  を同期パターンが検出されたケースを特定する識別信号  $N_a$  として出力すると共に、信号 OK を検出信号  $SS_a$  として出力する。

15      なお、同期パターン検出部 27 は上記検出期間（ウィンドウ内）に同期パターンを検出しなかった場合には、検出信号  $SS_b$  及びケース識別信号  $N_{SD}$  をハイレベルに固定する。

20      従って、この場合には AND 回路 32 からはタイミング予想信号  $SN$  が出力され、同期検出回路 21 において検出信号  $SS_b$  の代わりにタイミング予想信号  $SN$  が使用される。一方、このとき比較部 33 は、識別信号  $N$  としてケース識別信号  $N_{SD}$  の代わりに検出予測信号  $N_{NS}$  を同期保護ウィンドウ部 35 へ供給すると共に、ケース識別信号  $N_{SD}$  と検出予測信号  $N_{NS}$  が一致しないことによりロウレベルの信号を AND 回路 34 へ供給する。

25      なお、かかる場合においては、同期保護ウィンドウ部 35 は識別信号  $N_a$  として検出予測信号  $N_{NS}$  を出力すると共に、検出信号  $SS_a$  として同期カウンタ 31 から供給された信号を出力する。



ただし、上記のようないわゆる内挿機能には制限を設け、正常な同期パターンを設定回数以上連続して検出できなかった場合には、同期保護ウィンドウ部 35 はマスクデータ MD を「F F h」に固定することにより上記検出期間の制限を解除して同期を取り直す。

5       ここで、第 4 図の状態遷移図を参照して、同期検出回路 21 の動作を説明する。まず、リセットやトラックジャンプ後においては同期パターンの検出を待つ同期待ち状態となる。この状態では、同期保護ウィンドウ部 35 はマスクデータ MD を上記のように「F F h」に固定する。

10       そして、この同期待ち状態において同期パターンが検出された場合には、正常な同期パターンが連続的に検出される回数が 3 回未満である同期後方保護状態へ遷移する。次に、同期後方保護状態において同期パターンが連続的に 3 回検出された場合には同期が取れているものと判断して同期正常状態に遷移すると共に、正常な同期パターンが検出できなかった場合（NG）には同期待ち状態へ戻る。なお、上記の「3 回」は同  
15       同期保護ウィンドウ部 35 に予め設定され、可変の設定値とされる。

20       また、同期正常状態において正常な同期パターンが検出できなかった場合には、正常な同期パターンを検出できない回数が例えば連続 12 回未満とされる同期前方保護状態に遷移する。そして、同期前方保護状態において該ウィンドウ内に同期パターンが検出できた場合には同期正常  
25       状態へ戻ると共に、正常な同期パターンを連続して 12 回検出できなかった場合には同期待ち状態へ戻る。なお、上記の「12 回」も同期保護ウィンドウ部 35 に予め設定され、可変の設定値とされる。

次に、第 2 図に示された E F M 復調回路 23 について詳しく説明する。第 5 図は、E F M 復調回路 23 の構成を示すブロック図である。第 5 図  
30       に示されるように、E F M 復調回路 23 はレジスタ部 40 とシンボルカウンタ 41、初期値設定部 43、及びデータ置換部 51 とを備える。そ

して、レジスタ部40は2段レジスタを構成する第2レジスタ45及び第1レジスタ46と、データ合成部47、データ選択部48、予備レジスタ49、EFMレジスタ50とを含む。

ここで、シンボルカウンタ41は同期保護ウィンドウ部35及びシリ・パラ変換回路9に接続され、初期値設定部43は同期保護ウィンドウ部35に接続される。また、シンボルカウンタ41と初期値設定部43は相互接続される。

一方、第2レジスタ45はシリ・パラ変換回路9に接続される。第1レジスタ46は第2レジスタ45に接続され、データ合成部47は第1及び第2レジスタ46、45に接続される。また、データ選択部48はデータ合成部47及びシンボルカウンタ41に接続され、予備レジスタ49はシンボルカウンタ41及びデータ選択部48に接続される。EFMレジスタ50はデータ選択部48及び予備レジスタ49に接続され、データ置換部51はEFMレジスタ50及びシンボルカウンタ41に接続される。

以下において、上記のような構成を有するEFM復調回路23の動作を説明する。

CDに記録されたデータの1フレームは上記のように588ビットからなるが、そのデータ構成は第6図に示される。すなわち、1フレームのデータは先頭に記録された24ビットのフレーム同期信号と、14ビットのサブコード、EFM復調の対象とされる各々14ビットからなる第1から第32のデータ、及び隣接するデータ等の間に挿入される3ビットのDSV (Digital Sum Variation) 信号とを含む。

ここで、EFM復調回路23は、第6図に示された1フレームのデータのうち、サブコード及び第1から第32のデータのみを以下のようにラッチする。まず、シリ・パラ変換回路9から出力されるパラレル信号

S<sub>E</sub> 8を16ビット単位でラッチするため、まず第2レジスタ45は前半8ビットのデータをラッチし、ラッチした該8ビットのデータを第1レジスタ46へ転送する。その後、第2レジスタは後半8ビットのデータを新たにラッチする。

- 5     そして、例えばレジスタにより構成されるデータ合成部47は、第1レジスタ46及び第2レジスタ45にラッチされた各々8ビットのデータを合成し、16ビットのデータRを生成してデータ選択部48へ供給する。

- 10     一方、シンボルカウンタ41は同期保護ウィンドウ部35から供給される検出信号SSaに応じて、初期値設定部43から初期値をロードする。このとき、初期値設定部43は同期保護ウィンドウ部35から供給された識別信号Naに応じて、以下の表5に示されるロード値をシンボルカウンタ41に供給する。

表5

Na	01h	02h	04h	08h	10h	20h	40h	80h
ロード値	0h	2h	4h	6h	8h	Ah	Ch	Eh

15

これより、シンボルカウンタ41は初期値設定部43から供給された該ロード値を初期値として設定し、シリ・パラ変換回路9から供給されるクロック信号PCK8に応じて該初期値をインクリメントする。

- 20     そして、データ選択部48は、第7図に示されるように、シンボルカウンタ41から供給されるカウンタ値が偶数のとき、データ合成部47から供給されるデータRの中から所定のビットを選択的に抽出し、抽出されたデータをそれぞれ予備レジスタ49とEFMレジスタ50へ供給する。すなわち例えば、カウンタ値が2の場合には、データ選択部48はデータRを構成する下位0から2ビットまでの3ビットのデータを選

択的に抽出してE F Mレジスタ50へ供給し、データRを構成する下位6から15ビットまでの10ビットのデータを選択的に抽出して予備レジスタ49へ供給する。

さらに、予備レジスタ49はシンボルカウンタ41から供給されるカウンタ値が奇数のとき、格納しているデータをE F Mレジスタ50へシフトする。すなわち、例えばカウンタ値が3となった場合には、第7図に示されるように、予備レジスタ49は格納しているデータRの下位6から15ビットまでの10ビットのデータを、矢印で示されるようにE F Mレジスタ50へシフトする。

そして、シンボルカウンタ41のカウンタ値が1づつインクリメントされることにより上記動作が繰り返される。これより、E F Mレジスタ50は予備レジスタ49からデータがシフトされ、さらにデータ選択部48からデータRの下位ビットが供給されることにより、該カウンタ値が偶数となるたびに変調された14ビットのデータS bを合成することになる。

そして、データ置換部51はシンボルカウンタ41から供給されるカウンタ値が偶数となったとき、E F Mレジスタ50から供給される上記14ビットのデータS bを、内蔵するE F M復調テーブルに照らして復調データS rに置換する。

なお、このような方法で生成された復調データS rはメモリI F回路15を介してメモリ17へ格納されエラー訂正処理がなされると共に、サブコード読み出し回路25へ供給される。また、サブコード読み出し回路25へは上記データS bも供給される。

次に、第2図に示されたサブコード読み出し回路25について詳しく説明する。サブコード読み出し回路25は、E F Mレジスタ50から供

給されたデータS<sub>b</sub>の中から、サブコードとして記録される同期信号  
(以下、「サブコード同期信号」とも呼ぶ)を検出する。

なお、CDの規格では、第6図に示されたサブコードの中においてサブ  
コード同期信号はEFM変調されることなく98フレーム毎に記録さ  
5 れ、このEFM変調されていないサブコード同期信号がデコード対象と  
される。

サブコード読み出し回路25は、EFMレジスタ50から供給される  
データS<sub>b</sub>が第1同期パターン(10000000000100)又は  
第2同期パターン(01001000000000)のいずれかである  
10 場合には、サブコード同期信号が検出できたものと判断してスコア信号  
S<sub>c</sub>を生成し制御部13へ供給する。

また、サブコード読み出し回路25は、EFM復調回路23により得  
られた復調データS<sub>r</sub>の一部をなすサブコードの中からサブQコード  
(サブコードビット)と呼ばれる情報を順次抜き出し、内蔵するCRC  
15 (Cyclic Redundancy Check) 回路へ96ビット分のサブQコードS<sub>q</sub>  
qを一括して入力する。そして、該CRC回路において該サブQコード  
が正確なデータであると判断された場合には、サブコード読み出し回路  
25は信号S<sub>ok</sub>を制御部13へ供給する。

また、サブコード読み出し回路25は上記サブQコードS<sub>q</sub>を制御部  
20 13へ供給するが、該サブQコードは例えば96ビットで1単位とされ  
るため、一例として8ビットの記憶領域を10段有するシフトレジスタ  
により該サブQコードを保持する。そして、この場合には制御部13が  
該シフトレジスタに10回アクセスすることにより、該シフトレジスタ  
に保持されたサブQコードS<sub>q</sub>がすべて読み出される。

25 ここで、制御部13はEFM復調部11からスコア信号S<sub>c</sub>及び信号  
S<sub>ok</sub>を受領したときに上記アクセスを実行することにより、正確なサ

ブQコードS<sub>q</sub>を受領してディスク1から絶対時間情報を精度よく得ることができる。

なお、サブQコードS<sub>q</sub>はメモリIF回路15を介してメモリ17へ格納され、EFM復調回路23により生成された復調データS<sub>r</sub>を特定  
5 するデータとしても利用される。

以上より、本発明の実施の形態に係るディスク再生装置及びディスク再生方法によれば、EFMレジスタ50において生成された14ビットのデータS<sub>b</sub>がデータ置換部51により一括して復調データS<sub>r</sub>に置換され、ディスク1に記録されたデータを従来より低い動作周波数、例え  
10 ば従来の1/8の動作周波数でEFM復調することができるため、ディスク再生装置を簡易な構成で回路規模の小さなものとすることができる。

また、上記のようにEFM復調に要する動作周波数を低減することができるため、ディスク再生装置の消費電力を低減することができると共に、EFM復調部11以外の回路に生じるノイズを低減して再生精度を  
15 高めることができる。

さらに、EFM復調において高い動作周波数を保証することが必要とされないため、高い周波数を持ったクロック信号による動作試験が不要となり、テストによる動作試験も容易に実現することができる。

本発明に係るディスク再生装置によれば、復調において必要とされる  
20 動作周波数を低減することができるため、再生精度が高く試験が容易なディスク再生装置を提供することができる。

また、本発明に係るディスク再生装置及びディスク再生方法によれば、復調において必要とされる動作周波数を低減することができるため、再生動作を実行する際の消費電力を低減することができる。

## 請求の範囲

1. ディスクに記録されたデータを読み出して再生データを生成する  
ディスク再生装置であって、

- 5 前記データに含まれる所定の同期パターンを検出すると共に、検出タイミングを識別する検出手段と、

前記検出手段により識別された前記検出タイミングに応じて、前記ディスクから読み出された前記データの中から順次選択的に一部のデータを抽出する選択手段と、

- 10 前記選択手段により抽出された複数のデータを合成して合成データを生成する合成手段と、

前記合成データを対応する復調データに置換することにより前記再生データを生成する置換手段とを備えたことを特徴とするディスク再生装置。

- 15 2. 前記検出手段は、連続する複数のサイクルにおいて読み出された前記データの配列から前記同期パターンを検出すると共に、前記配列に含まれる前記同期パターンの位置に応じて前記検出タイミングを識別する請求の範囲第1項に記載のディスク再生装置。

3. 前記選択手段は、

- 20 前記検出タイミングに応じた初期値を格納する初期値格納手段と、

前記初期値格納手段から前記検出タイミングに応じた初期値をロードし、前記初期値より内部クロック信号のクロック数をカウントする計数手段とを含み、

前記選択手段は、前記計数手段におけるカウント値に応じて、前記デ

- 25 イスクから読み出された前記データの中から順次選択的に一部のデータを抽出する請求の範囲第1項に記載のディスク再生装置。

4. 前記合成手段は、第1及び第2のデータ保持手段を含み、

前記カウント値が偶数のとき前記第1及び第2のデータ保持手段はそれぞれ前記選択手段により抽出されたデータを保持し、前記カウント値が奇数のとき前記第2のデータ保持手段に保持されているデータを前記

5 第1のデータ保持手段へ移すことにより、前記合成データを生成する請求の範囲第3項に記載のディスク再生装置。

5. ディスクに記録されたデータを読み出して再生データを生成するディスク再生方法であって、

10 前記データに含まれる所定の同期パターンを検出すると共に、検出タイミングを識別する検出ステップと、

識別された前記検出タイミングに応じて、前記ディスクから読み出された前記データの中から順次選択的に一部のデータを抽出する選択ステップと、

15 前記選択ステップにおいて抽出された複数のデータを合成して合成データを生成する合成ステップと、

前記合成データを対応する復調データに置換することにより前記再生データを生成する置換ステップとを有することを特徴とするディスク再生方法。

20 6. 前記検出ステップでは、連続する複数のサイクルにおいて読み出された前記データの配列から前記同期パターンを検出すると共に、前記配列に含まれる前記同期パターンの位置に応じて前記検出タイミングを識別する請求の範囲第5項に記載のディスク再生方法。

7. 前記選択ステップでは、前記検出タイミングに応じた初期値より内部クロック信号のクロック数をカウントすることにより得られるカウン  
25 ト値に応じて、前記ディスクから読み出された前記データの中から順



次選択的に一部のデータを抽出する請求の範囲第 5 項に記載のディスク再生方法。

8. 前記合成ステップでは、前記カウント値が偶数のとき第 1 及び第 2 のデータ保持手段にそれぞれ前記選択ステップにおいて抽出されたデータを保持させ、前記カウント値が奇数のとき前記第 2 のデータ保持手段に保持されているデータを前記第 1 のデータ保持手段へ移すことにより、前記合成データを生成する請求の範囲第 7 項に記載のディスク再生方法。
- 5

1/7

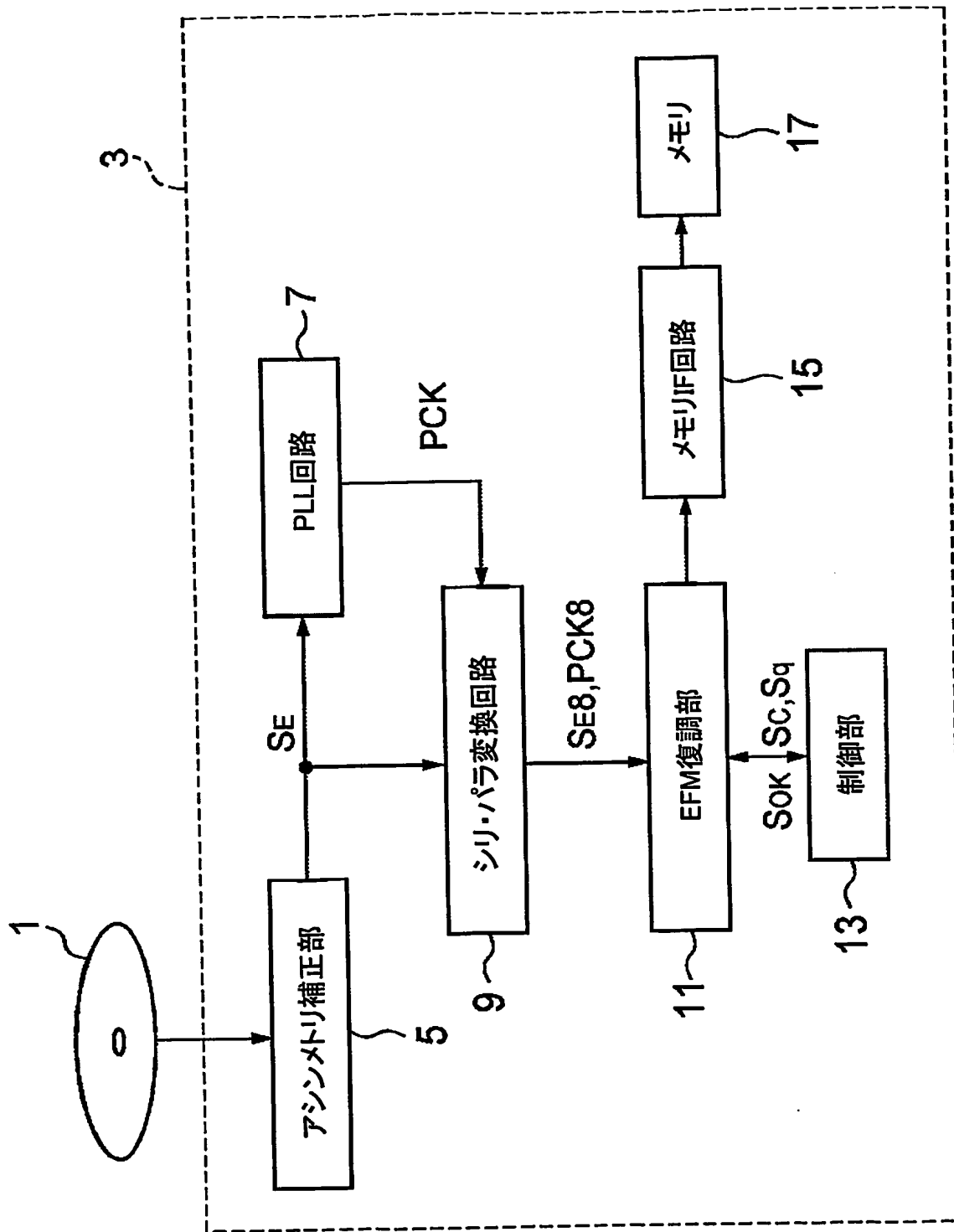


Fig.1

2/7

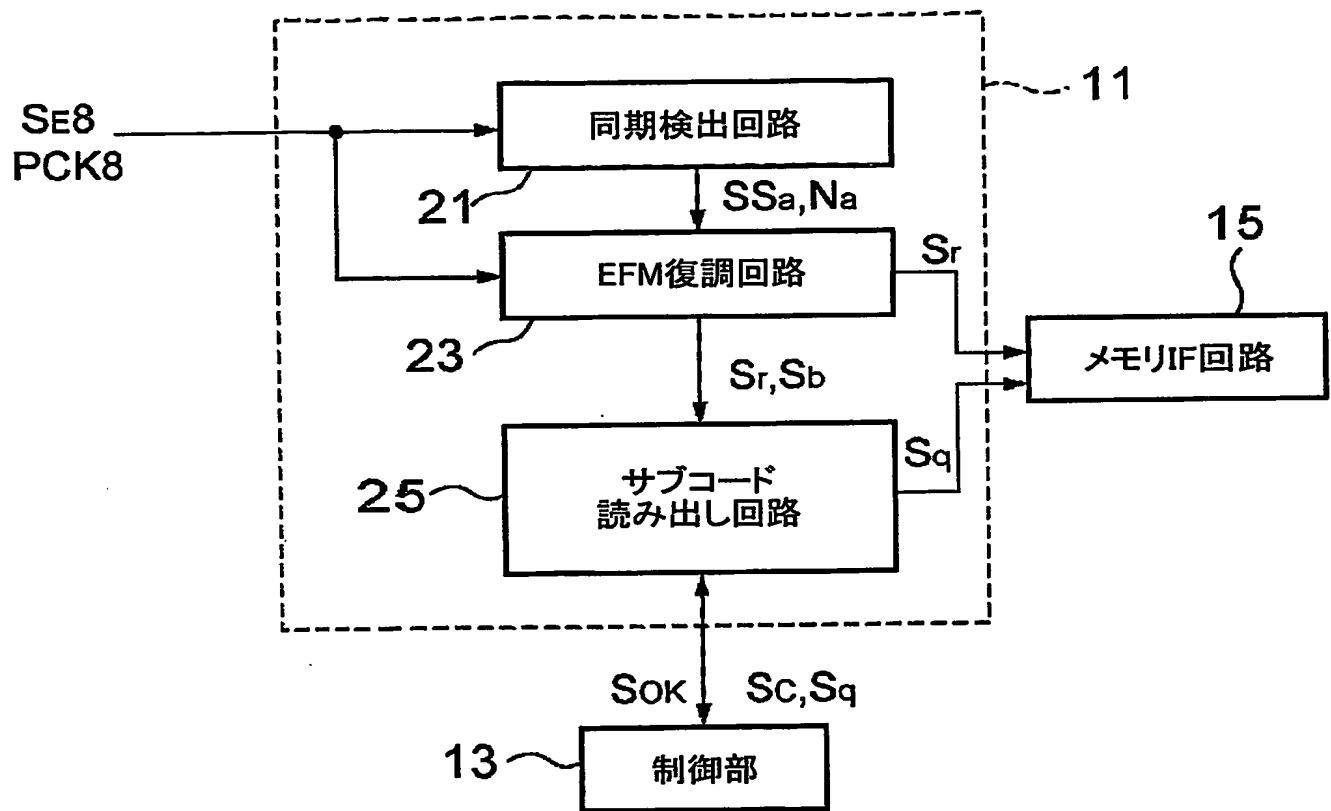


Fig.2

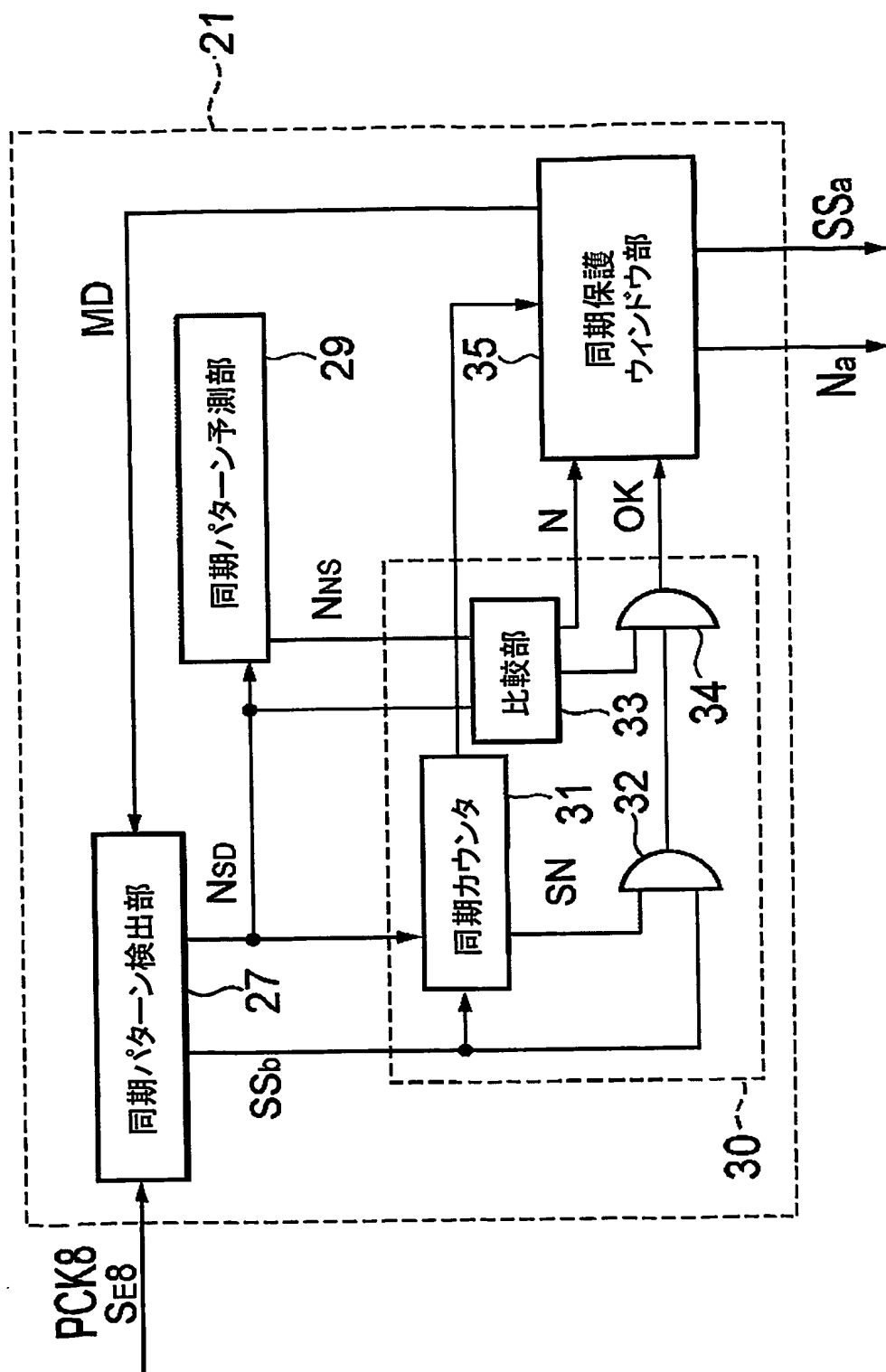


Fig.3

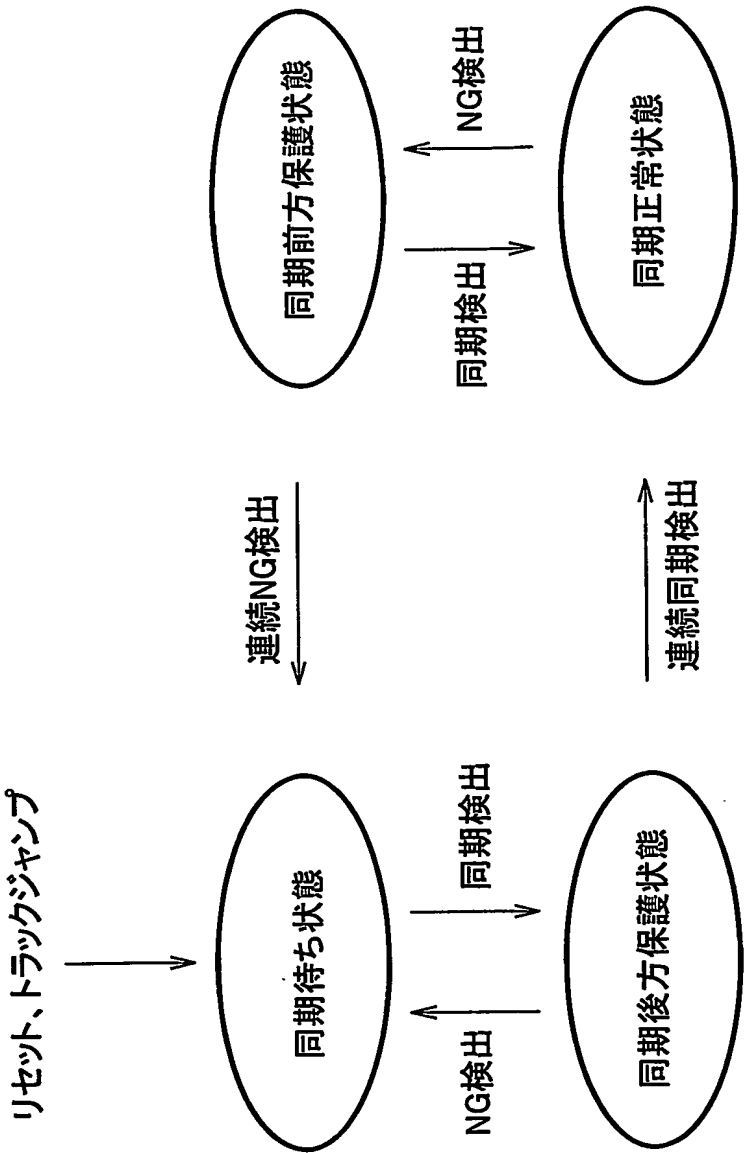


Fig.4

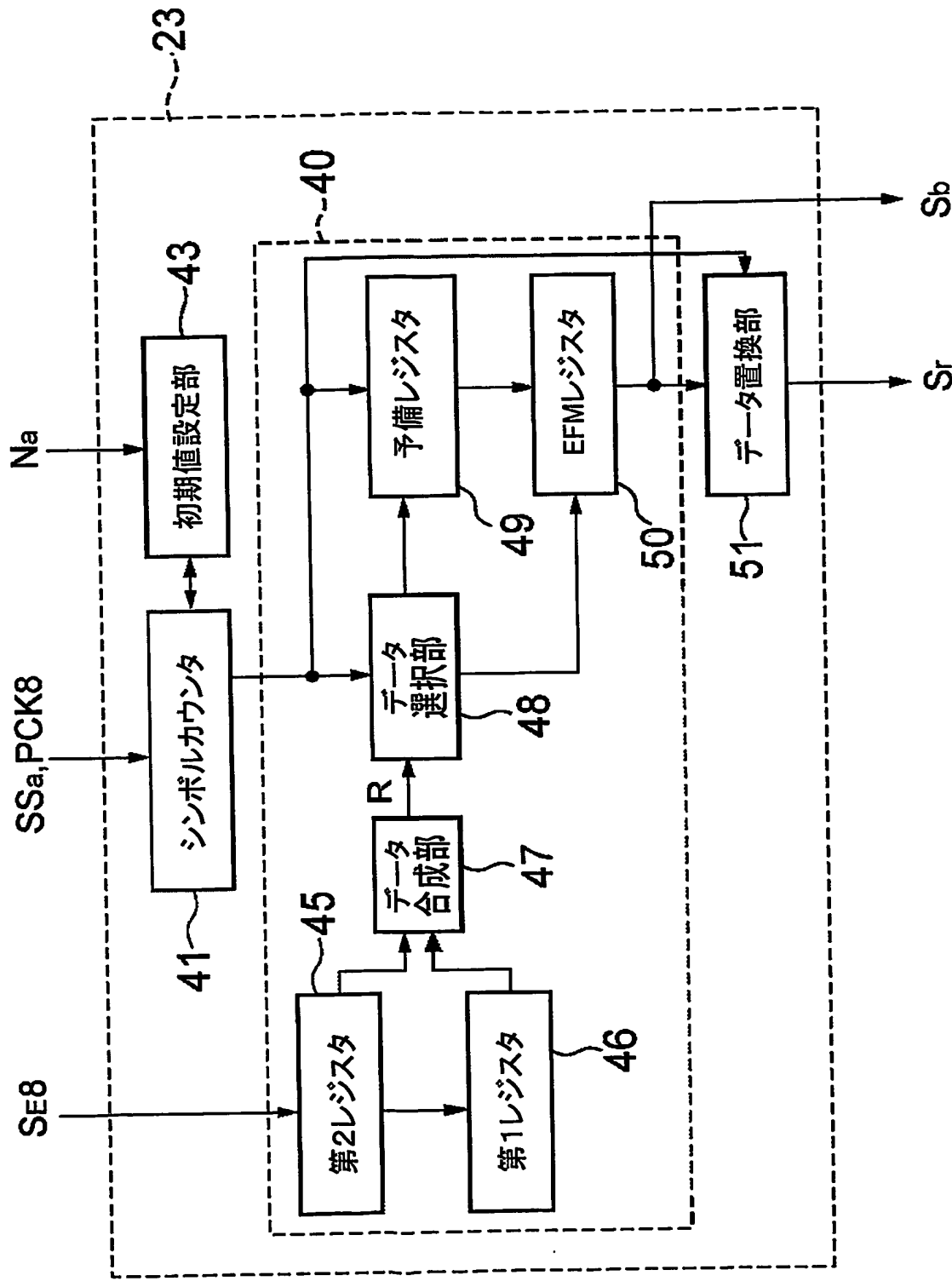


Fig.5

フレーム同期信号	24
DSV	3
サブコード	14
DSV	3
第1データ	14
DSV	3
第2データ	14
DSV	3
第3データ	14
DSV	3
-----	
DSV	3
第31データ	14
DSV	3
第32データ	14
DSV	3

Fig.6

7/7

カウンタ値	EFMLレジスタ[14:1]	予備レジスタ[14:1]
0	R[1:0] "	- R[15:5]
1	- R[15:5]	-
2	R[2:0] "	- R[15:6]
3	- R[15:6]	-
4	R[3:0] "	- R[15:7]
5	- R[15:7]	-
6	R[4:0] "	- R[15:8]
7	- R[15:8]	-
8	R[5:0] "	- R[15:9]
9	- R[15:9]	-
10	R[6:0] "	- R[15:10]
11	- R[15:10]	-
12	R[7:0] "	- R[15:11]
13	- R[15:11]	-
14	R[8:0] "	- R[15:12]
15	- R[15:12]	-
16	R[9:0] "	- R[15:13]
17	- R[15:13]	-
18	R[10:0] "	- R[15:14]
19	- R[15:14]	-
20	R[11:0] "	- R[15]
21	- R[15]	-
22	R[12:0] "	-
23	-	-
24	R[13:0]	-
25	-	-
26	R[14:1]	-
27	-	-
28	R[15:2]	-
29	-	-
30	-	- R[15:3]
31	- R[15:3]	-
32	R[0] -	- R[15:4]
33	- R[15:4]	-

Fig.7



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09924

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G11B20/10, G11B20/14

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G11B20/10, G11B20/14, H03M7/00, H04L7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 8-221907 A (Toshiba Corp.), 30 August, 1996 (30.08.96), Full text; all drawings (Family: none)	1, 3, 5, 7 2, 6 4, 8
Y A	JP 8-307405 A (NEC Engineering Kabushiki Kaisha), 22 November, 1996 (22.11.96), Full text; all drawings (Family: none)	2, 6 1, 3-5, 7, 8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
29 October, 2003 (29.10.03)

Date of mailing of the international search report  
11 November, 2003 (11.11.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G11B20/10, G11B20/14

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G11B20/10, G11B20/14, H03M7/00, H04L7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国登録実用新案公報 1994-2003年  
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 8-221907 A (株式会社東芝) 1996. 08. 30,	1, 3, 5, 7
Y	全文, 全図 (ファミリーなし)	2, 6
A		4, 8
Y	JP 8-307405 A (日本電気エンジニアリング株式会 社)	2, 6
A	1996. 11. 22, 全文, 全図 (ファミリーなし)	1, 3-5, 7, 8

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

29. 10. 03

国際調査報告の発送日

11.11.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 大介

5Q

3146

電話番号 03-3581-1101 内線 3590